

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-142868

⑬ Int. Cl.<sup>5</sup>

H 01 L 27/04

識別記号

R  
P

庁内整理番号

7514-5F  
7514-5F

⑭ 公開 平成3年(1991)6月18日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 平1-281057

⑰ 出 願 平1(1989)10月27日

⑱ 発 明 者 勝 田 美 弥 子 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑲ 出 願 人 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番53

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半導体集積回路装置

特 許 請 求 の 範 囲

装置内に抵抗を含む半導体集積回路装置において、前記抵抗の少なくとも一部の抵抗が基板に形成された単結晶拡散抵抗と、該単結晶拡散抵抗の上層部に絶縁膜を介して形成された多結晶シリコン抵抗によりなる2層構造で、かつ並列接続されていることを特徴とする半導体集積回路装置。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は半導体集積回路装置に関し、特に半導体集積回路装置内に含まれる温度依存性を持たない抵抗素子に関する。

〔従来の技術〕

従来、半導体集積回路装置内の抵抗素子は、正

の抵抗温度係数を持つ単結晶拡散抵抗、もしくは負の抵抗温度係数を持つ多結晶シリコン(ポリシリ)抵抗の一方を用いていた。

〔発明が解決しようとする課題〕

上述した従来のICは、抵抗素子について、多結晶シリコン(ポリシリ)抵抗の場合は、熱による電子正孔対の生成が盛んに行なわれるので、温度の上昇につれて抵抗率が減少し、抵抗温度係数は負になる。又、単結晶拡散抵抗の場合は、逆に、抵抗率は高くなり、抵抗温度係数は正となる。

以上の様に、抵抗素子は、抵抗率の温度依存性を持っている為、ICの自発熱によるジャンクション温度の変化に伴ない、抵抗値が変化するという欠点がある。

本発明の目的は、抵抗素子の占有面積を大きくすることなく、抵抗値の温度変化を任意に設定できる抵抗素子を有する半導体集積回路装置を提供することにある。

〔課題を解決するための手段〕

本発明の半導体集積回路装置は、装置内に抵抗を含む半導体集積回路装置において、前記抵抗の少なくとも一部の抵抗が基板に形成された単結晶拡散抵抗と、その単結晶拡散抵抗の上層部に絶縁膜を介して形成された多結晶シリコン抵抗よりなる2層構造で、かつ並列接続されていることを特徴として構成される。

#### 〔実施例〕

次に、本発明について図面を参照して説明する。第1図(a)、(b)は本発明の一実施例の単結晶拡散抵抗と、多結晶シリコン抵抗の2層構造の平面図と断面図である。

第1図(a)、(b)に示すように10は半導体基板に形成された埋込層で、7はエピタキシャル層である。そして6はエピタキシャル層7に形成された単結晶拡散抵抗であり9は単結晶-多結晶層間膜、5は層間膜9を介して単結晶抵抗上層部に形成された多結晶抵抗であり、単結晶抵抗6と多結晶抵抗5は層間膜9に形成されたスルーホール2により並列に接続されている。

係数  $tr_2$  とすると、  

$$R = \frac{R_1 \cdot R_2}{R_1 + R_2}$$
 で示され

第2図のように  $tr_1$ 、 $tr_2$  の大きさで任意の温度変化が決められる。

#### 図面の簡単な説明

第1図(a)、(b)は本発明の単結晶拡散抵抗と多結晶シリコン抵抗の2層構造の平面図と断面図、第2図は単結晶抵抗の温度係数  $tr_1$  と多結晶抵抗の温度係数  $tr_2$  の大小による抵抗値  $R$  の温度依存性を示す図である。

1…多結晶抵抗層-A $\delta$ 配線層層間スルーホール、2…単結晶抵抗層-多結晶抵抗層層間スルーホール、3…抵抗部、4…A $\delta$ 配線、5…多結晶抵抗、6…単結晶抵抗、7…エピタキシャル層、8…多結晶層-A $\delta$ 配線層層間膜、9…単結晶層-多結晶層層間膜、10…埋込層。

また4はA $\delta$ 配線であり、8は多結晶層-A $\delta$ 配線層層間膜であり、A $\delta$ 配線4は層間膜8に形成されたスルーホール1で多結晶抵抗5に接続されている。なお3は抵抗部である。

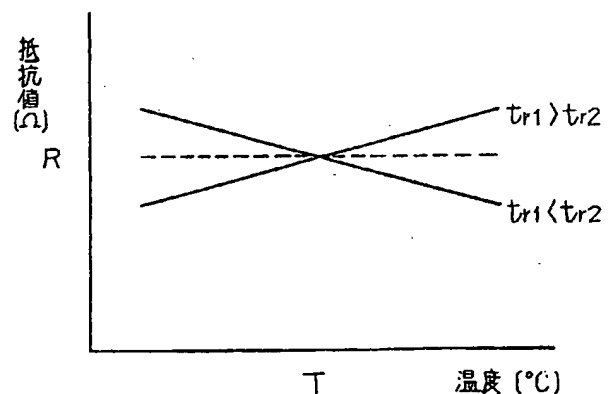
すなわち、本発明に使用する抵抗は、上層部は温度の上昇につれて抵抗率が減少する多結晶抵抗5と、下層部は温度の上昇につれて抵抗率が高くなる単結晶抵抗6が並列に接続された2層構造である。

第2図は、単結晶抵抗の温度係数  $tr_1$  と多結晶抵抗の温度係数  $tr_2$  の大小による、本発明の並列接続した抵抗値  $R$  の温度依存性である。

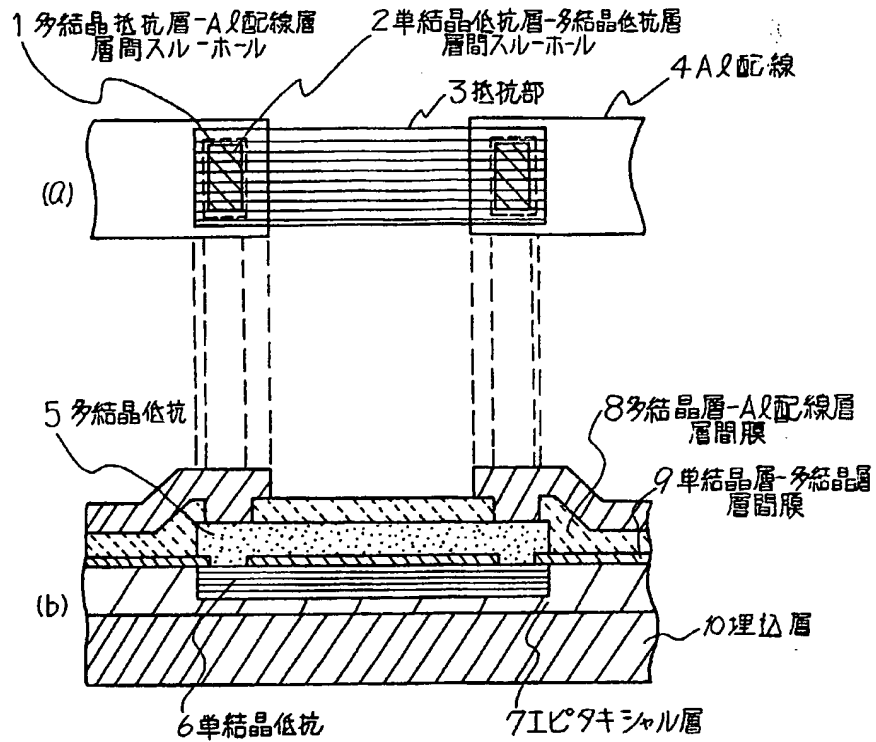
#### 〔発明の効果〕

以上説明したように本発明は、単結晶拡散抵抗と多結晶シリコン抵抗の2層構造で、かつ並列接続にすることにより、抵抗素子の占有面積を大きくすることなく、抵抗値の温度変化を任意に決めることができる効果がある。

本発明で得られる抵抗値  $R$ 、単結晶抵抗値  $R_1$ 、多結晶  $R_2$ 、単結晶温度係数  $tr_1$ 、多結晶温度



第2図



第 1 図

DOCUMENT-IDENTIFIER: JP 03142868 A  
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

FPAR:

CONSTITUTION: An embedded layer 10 and an epitaxial layer 7 are formed in a semiconductor substrate. A single-crystal diffused resistor 6 and a single-crystal/polycrystalline interlayer film 9 are provided on the epitaxial layer 7. A polycrystalline resistor 5 is provided on the upper layer part of the single-crystal resistor through the interlayer film 9. The single-crystal resistor 6 and the polycrystalline resistor 5 are connected in parallel with a through hole 2 which is formed in the interlayer film 9. An Al wiring 4 and a polycrystalline-layer/Al-wiring layer interconnecting film 8 are provided. The Al wiring 4 is connected to the polycrystalline resistor by way of a through hole 1 formed in the interlayer film 8. That is, the double-layered structure wherein the polycrystalline resistor 5 at the upper part and the single crystal resistor 6 at the lower part are connected in parallel is provided for the resistor. In the polycrystalline resistor 5, the resistivity is decreased with the rise of temperature. In the single crystal resistor 6, the resistivity is increased with the rise of the temperature.